

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-85624

(P2001-85624A)

(43)公開日 平成13年3月30日(2001.3.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	C 4 G 0 7 7
21/822		C 3 0 B 29/02	4 M 1 0 4
C 3 0 B 29/02		H 0 1 G 4/12	3 9 4 5 E 0 0 1
H 0 1 G 4/33			4 0 0 5 E 0 8 2
4/12	3 9 4	H 0 1 L 21/285	P 5 F 0 3 8
審査請求 未請求 請求項の数10 O L (全 7 頁) 最終頁に続く			

(21)出願番号 特願平11-258901

(22)出願日 平成11年9月13日(1999.9.13)

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 李 効民

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 田中 克彦

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

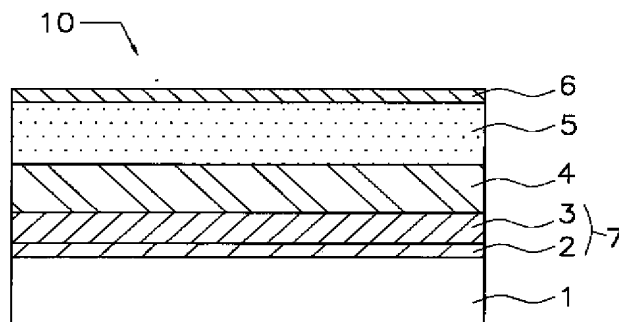
最終頁に続く

(54)【発明の名称】 薄膜積層体、薄膜キャパシタ、およびその製造方法

(57)【要約】

【課題】 シリコン基板上に結晶性の良好な強誘電体薄膜を形成するためのシード層として機能するエピタキシャル導体薄膜（下部電極）およびその製造方法を提供する。

【解決手段】 シリコン基板と、シリコン基板上にエピタキシャル形成されたバッファ層と、バッファ層上にエピタキシャル形成された導体薄膜とを有してなる薄膜積層体において、導体薄膜に面心立方構造を有する白金族元素を使用する。



## 【特許請求の範囲】

【請求項1】 シリコン基板と、シリコン基板上にエピタキシャル形成されたバッファ層と、バッファ層上にエピタキシャル形成された導体薄膜とを有してなる薄膜積層体であって、

前記導体薄膜は、面心立方構造を有する白金族元素からなることを特徴とする薄膜積層体。

【請求項2】 シリコン基板と、シリコン基板上にエピタキシャル形成されたバッファ層と、バッファ層上にエピタキシャル形成された導体薄膜と、導体薄膜上に形成された誘電体薄膜と、誘電体薄膜上に形成された上部電極とを有してなる薄膜キャパシタであって、前記導体薄膜は、面心立方構造を有する白金族元素からなることを特徴とする薄膜キャパシタ。

【請求項3】 前記バッファ層は、TiN層を有することを特徴とする請求項1に記載の薄膜積層体、または請求項2に記載の薄膜キャパシタ。

【請求項4】 前記バッファ層は、TiN層と、該TiN層上に形成された $Ti_{1-x}Al_xN$ 層（ただし $0 < x \leq 0.4$ ）を有することを特徴とする請求項1に記載の薄膜積層体、または請求項2に記載の薄膜キャパシタ。

【請求項5】 前記白金族元素は、Ir、Rhのうちのいずれかであることを特徴とする請求項1ないし請求項4のいずれかに記載の薄膜積層体、または薄膜キャパシタ。

【請求項6】 シリコン基板上にバッファ層をエピタキシャル形成する第1の工程と、バッファ層上に面心立方構造の白金族導体薄膜をエピタキシャル形成する第2の工程と、を有してなることを特徴とする薄膜積層体の製造方法。

【請求項7】 前記バッファ層は、TiN層を有することを特徴とする請求項6に記載の薄膜積層体の製造方法。

【請求項8】 前記バッファ層は、TiN層と、該TiN層上に形成された $Ti_{1-x}Al_xN$ 層（ただし $0 < x \leq 0.4$ ）を有することを特徴とする請求項6に記載の薄膜積層体の製造方法。

【請求項9】 前記バッファ層は、1～10nm/分の成長速度で形成され、表面平均粗さが0.1～0.5nmであり、かつ膜厚が50～300nmであることを特徴とする請求項6ないし請求項8のいずれかに記載の薄膜積層体の製造方法。

【請求項10】 前記白金族導体薄膜は、1～10nm/分の成長速度で形成され、表面平均粗さが0.1～1.0nmであり、かつ膜厚が50～500nmであることを特徴とする請求項6ないし請求項9のいずれかに記載の薄膜積層体の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、シリコン基板上に

バッファ層を介してエピタキシャル形成された導体薄膜、およびその製造方法に関する。より具体的には、薄膜キャパシタ等に用いられる導体薄膜であって、誘電体薄膜の膜質（結晶性）を向上させることのできる機能を持つエピタキシャル導体薄膜、およびその製造方法に関する。

## 【0002】

【従来の技術】 近年、 $BaTiO_3$ 、 $SrTiO_3$ 、 $(Ba, Sr)TiO_3$ 、 $PbTiO_3$ 、 $Pb(Zr, Ti)O_3$ 、 $(Pb, La)(Zr, Ti)O_3$ 等の誘電体・強誘電体をシリコン基板上に薄膜形成する技術が盛んに研究されている。とりわけ、残留分極の大きいPZT、PLZT等のPb系ペロブスカイト型強誘電体をエピタキシャル成長させることができれば、自発分極を1方向に揃えることができ、より大きな分極値と良好なスイッチング特性を実現することができる。これにより高密度記録媒体への応用可能性が飛躍的に高まるため、シリコン基板上に結晶性の良好な強誘電体薄膜を形成する手法の確立が強く望まれている。

【0003】ところで、PZT、PLZT等の誘電体薄膜を用いて薄膜キャパシタ等を形成するためには、誘電体薄膜を上下から導体薄膜で挟み込んだいわゆるMIM（Metal-Insulator-Metal）構造が一般的に用いられている。しかしながら、この構造においては以下に述べる理由から強誘電体薄膜の結晶性を向上させることが難しく、いまだ充分に満足のゆく結晶性を有する強誘電体薄膜が得られていない。

【0004】すなわち、シリコン基板上に形成する導体薄膜（下部電極）としてAl、Cu、Ag、Au等の金属材料を用いると、該下部電極上に強誘電体薄膜を形成する際に導体薄膜と誘電体薄膜との界面に金属酸化膜が形成される。この金属酸化膜の存在により、誘電体薄膜の結晶成長が阻害されてしまう。また、上述の金属材料はシリコン基板との間で相互拡散が生じやすく、シリコン基板上に半導体素子等が形成されている場合には、その特性を変化させる恐れがある。

【0005】また、導体薄膜としてPtを用いる手法も考えられる。しかし、Ptは $MgO$ や $SrTiO_3$ 等の酸化物単結晶基板上にはエピタキシャル成長するが、シリコン基板上には直接エピタキシャル成長させることはできない。従って、シリコン基板上に高い結晶性を有する強誘電体薄膜を形成する際には導体薄膜としてPtを用いることは不適当である（一般に、下層に位置する導体薄膜の結晶性が良好であるほど、その上に成膜される強誘電体薄膜の結晶性も良好なものとすることができる）。

## 【0006】

【発明が解決しようとする課題】 そこで本発明者らは、先にシリコン基板上にバッファ層としてまず $Ti_{1-x}Al_xN$ 薄膜をエピタキシャル成長させ（ $Ti_{1-x}Al_xN$

はシリコン基板上にはエピ成長しやすい)、次いで $Ti_{1-x}Al_xN$ 薄膜上に導体薄膜としてPt薄膜をエピタキシャル成長させる手法を提案した(Ptは $Ti_{1-x}Al_xN$ 上にはエピ成長しやすい)。これにより、エピタキシャルPt薄膜からなる導体薄膜上に、比較的結晶性の良好な強誘電体薄膜を形成することが可能になった。

【0007】しかしながら、この手法にあっても、特にCVD法等の高温での成膜手法で強誘電体薄膜を形成する場合においては、強誘電体薄膜の組成元素が下部電極のPt薄膜と反応したり、Pt薄膜の結晶粒界に沿って拡散する等の現象が生じ、強誘電体薄膜の結晶性を意図するほどには向上させることができなかった。

【0008】従って本発明の目的は、シリコン基板上に結晶性の良好な強誘電体薄膜を形成させる機能を付与したエピタキシャル導体薄膜(下部電極)およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上述の技術的問題点を鑑み、本発明者らは鋭意研究を重ねた結果、導体薄膜に用いる金属材料として面心立方構造を有する白金族元素、具体的にはIr、Rhを用い、かつIr、Rhをエピタキシャル成長させるために、シリコン基板上にバッファ層として $TiN$ 層または $Ti_{1-x}Al_xN/TiN$ 層(ただし $0 < x \leq 0.4$ )を介在して形成することにより、該導体薄膜上に結晶性の良好な強誘電体薄膜を形成しうることを見いだした。

【0010】上述の先行技術において導体薄膜の材料として用いられていたPtは、大気中でも酸化されにくく、かつPZTやPLZT、BST等の強誘電体とも格子整合しやすいと言う利点を有している。しかし、PtはシリコンやPb等の元素と化合物を形成しやすい性質を有しているため、シリコン基板上に形成された半導体素子の特性を変化させたり、Pbを含有する強誘電体と界面において化合物を形成し、上に形成される誘電体薄膜の結晶性を劣化させる恐れがあった。また、Pt薄膜の粒界を通過して酸素がPt薄膜の下層に拡散する現象も見られ、Pt自体は酸化されにくいものの、例えば半導体素子等、Pt薄膜の下層に位置する素子や膜の特性に悪影響を与える恐れがあった。

【0011】この点、面心立方構造を有する白金族元素であるIrやRhは、Ptと同様に導電率が高く、またPtに比べて加工が容易である上、酸素の拡散バリア機能を有しており酸素がIr薄膜を通過して下層に拡散する現象は生じない。また、他元素と反応を起こしにくいので、Ptを用いたときのような半導体素子の特性の変化や誘電体薄膜の結晶性の劣化と言った問題を抑制することができる。

【0012】このように、Ir、Rhは結晶性の良好な強誘電体薄膜を作成するためには、(下部電極の材料として)好適な材料であると言える。しかしながら、シリ

コン基板上にIr、Rhを薄膜形成する場合、従来の手法ではエピタキシャル成長させることが困難であった。例えば、中村等は $SiO_2/Si$ 基板上にPZT薄膜キャパシタの下部電極としてIr薄膜をRFマグネトロンスパッタ法により形成したが(J J A P, Vol 34(1995), 5184)、得られたIr薄膜は(111)優先配向膜であった。また、堀井等はYSZ/Si基板上にIr薄膜をスパッタ法により形成したが(第45回応用物理学関係連合講演会(1998)、講演予稿集29a-Zf-11)、得られたIr薄膜は(100)と(111)配向が混在する膜しか得られていなかった。

【0013】そこで本発明者らは、シリコン基板上にIr、Rhからなる導体薄膜をエピタキシャル成長させるために、シリコン基板上にバッファ層として $TiN$ 層、あるいは $Ti_{1-x}Al_xN/TiN$ 層(ただし $0 < x \leq 0.4$ )を介在して形成することにより、IrやRhをシリコン基板上にエピ成長させることを見だし、本発明を完成させるに至ったものである。

【0014】すなわち、シリコン基板の格子長は $0.3543\text{ nm}$ 、 $TiN$ の格子長は $0.424\text{ nm}$ であり、シリコン基板上に $TiN$ 薄膜を格子間の長周期マッチングモードでエピタキシャル成長させることができる。一方、Irの格子長は $0.384\text{ nm}$ であり $TiN$ のそれと非常に近似しており、 $TiN$ 薄膜上にエピタキシャル成長させることが可能である。

【0015】ところで、エピタキシャルIr薄膜の配向性をさらに高めるために、Ir薄膜を高温酸素雰囲気中で成膜する場合がある。この場合、バッファ層に要求される特性としてIrとの格子整合性に加えてさらに耐高温酸化特性が要求されることになる。この点、 $TiN$ においてTiの一部をAlで置換した $Ti_{1-x}Al_xN$ を介在させることによって耐高温酸化特性を向上させることができる(但し、 $x$ 値を増やすに従って結晶性は次第に劣化する)。 $Ti_{1-x}Al_xN$ はシリコン基板上よりも $TiN$ 上にエピタキシャル成長しやすく、かつ $TiN$ はシリコン基板上には結晶性良くエピタキシャル成長する。したがって、シリコン基板上に、まず $TiN$ 薄膜を形成し、ついで $TiN$ 膜上に $Ti_{1-x}Al_xN$ 薄膜を形成することにより、高い結晶性を維持しつつ耐高温酸化特性を実現した $Ti_{1-x}Al_xN/TiN$ の2層構造のバッファ層を形成することができる。なお、 $Ti_{1-x}Al_xN$ の格子長は、上述の数値範囲内で $x$ 値を変更しても、Irの格子長と十分に近い値となるので、Ir薄膜のエピタキシャル成長を劣化させる懸念はない。

【0016】また、 $TiN$ 薄膜をエピタキシャルIr薄膜形成のためのバッファ層として用いる場合、 $TiN$ 薄膜の結晶性のみならず、その表面の平坦性も高い平坦性を有するものであることが望ましい。この点につき実験を重ねた結果、 $1 \sim 10\text{ nm/分}$ の成膜速度で $50 \sim 300\text{ nm}$ の膜厚に $TiN$ 系バッファ層( $TiN$ 層および

Ti<sub>1-x</sub>Al<sub>x</sub>N/TiN層)を形成することにより、エピタキシャルIr薄膜を形成するために十分な平坦性(具体的には、表面平均粗さが0.1~0.5nm)を実現しうることを見いだした。

【0017】また結晶性の良好な強誘電体薄膜を形成するためにIr薄膜を下部電極として用いる場合、Ir薄膜の結晶性のみならず、その表面の平坦性も高い平坦性を有するものであることが望ましい。この点につき実験を重ねた結果、1~10nm/分の成膜速度で50~500nmの膜厚にIr薄膜を形成することにより、結晶性の良好な強誘電体薄膜を形成するために十分な平坦性(具体的には、表面平均粗さが0.1~1.0nm)を実現しうることを見いだした。

【0018】

【発明の実施の形態】[第1実施例、図1]以下、本発明の薄膜積層体を用いて構成した薄膜キャパシタ、およびその製造方法について、図を参照して説明する。

【0019】図1は本実施例の薄膜キャパシタ10の構造を示す断面図である。図において、1はSi基板、2はSi基板1上にエピタキシャル成長したTiN薄膜、3はTiN薄膜2上にエピタキシャル成長したTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜、4はTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3上にエピタキシャル成長し薄膜キャパシタ10の下部電極となるIr薄膜、5はIr薄膜4上にエピタキシャル成長したPZT薄膜、6はPZT薄膜5上に形成され薄膜キャパシタ10の上部電極となるPt薄膜をそれぞれ示している。ここで、TiN薄膜2とTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3とで、Ir薄膜4をエピタキシャル成長させるためのバッファ層7を構成している。

【0020】次に、上述の構造の薄膜キャパシタ10の製造方法について詳細に説明する。

【0021】まず、Si基板1として直径2インチのSi(100)基板を準備する。その後、このSi基板にアセトン、エタノール等の有機溶媒中で超音波洗浄を施し、HF:H<sub>2</sub>O:エタノール=1:1:10の溶液中に浸漬し、Si基板表面に形成された自然酸化膜を除去する。

【0022】次いで、この表面洗浄を施したSi基板を\*

\*レーザアブレーション装置の真空容器内に固定配置し、Si基板表面に以下の表1にまとめた成膜条件で、膜厚10nmのTiN薄膜2を成膜する。TiNはSi基板上にエピタキシャル成長しやすいため、このとき得られるTiN薄膜2はエピタキシャル膜となる。

【0023】さらに、成膜に使用するターゲットを変更し、上で得られたTiN薄膜2上に、TiNのTiサイトの一部をAl10%で置換したTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3を引き続き膜厚90nmに成膜する。このTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3も、TiN薄膜2の結晶性が維持されるためエピタキシャル膜となる。このとき、真空容器内の真空度が10<sup>-5</sup>Torr台でもTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3がエピタキシャル成長することが確認されているが、より結晶性の高いエピタキシャル膜を実現するためには10<sup>-6</sup>Torr台の真空度を確保することが望ましい。なお、その他の成膜条件はTiN薄膜2の成膜時と同様である。また、TiN薄膜2、およびTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3の成膜に使用するそれぞれのターゲット(TiN焼結体、およびTi<sub>0.9</sub>Al<sub>0.1</sub>N焼結体)は、相対密度が90%以上のもの、より好ましくは95%以上のものを用いることが望ましい。

【0024】次いで、成膜に使用するターゲットを変更し、上述のTi<sub>0.9</sub>Al<sub>0.1</sub>N/TiN層をバッファ層7として、Ir薄膜4を引き続き膜厚100nmに成膜する。このとき、TiNおよびTi<sub>0.9</sub>Al<sub>0.1</sub>Nの格子長とIrの格子長とは非常に近い値を有しており、成膜されるIr薄膜4はTi<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3上にエピタキシャル成長する。なお、Ir薄膜4の成膜にはIr金属ターゲットを用いるが、その純度は99.9%以上のものが望ましい。

【0025】なお、上述のTiN薄膜2、Ti<sub>0.9</sub>Al<sub>0.1</sub>N薄膜3、Ir薄膜4は、同一の成膜装置において、形成する薄膜に対応したターゲットを切り換えることにより連続的に成膜した。ここで、上述の各薄膜の成膜条件を以下の表1にまとめておく。

【0026】

【表1】

レーザ発振器	ArFエキシマレーザ
波長	193nm
レーザエネルギー密度	4~6J/cm <sup>2</sup> (ArF)
レーザ繰り返し周波数	10Hz
真空容器到達真空度	3×10 <sup>-6</sup> Torr
真空容器内の真空度(成膜時)	2~3×10 <sup>-6</sup> Torr
成膜温度	740℃
基板-ターゲット間距離	40mm
基板回転速度	10RPM
成膜速度	2~3nm/min
使用ターゲット	TiN焼結体、Ti <sub>0.9</sub> Al <sub>0.1</sub> N焼結体、Ir金属

【0027】このようにして得られたエピタキシャルI※50※r薄膜4上にPZT薄膜を形成することにより、エピタ

キシャル成長したPZT薄膜5を得られる。このPZT薄膜5上に薄膜キャパシタ10の上部電極として例えばPt薄膜6を蒸着等の手法により成膜することにより、Ir薄膜4、PZT薄膜5、Pt薄膜6とでMIM構造を構成する薄膜キャパシタ10を実現することができる。

【0028】なお、本実施例においては、Ir薄膜4をエピタキシャル成長させるためのバッファ層としてTi<sub>0.9</sub>Al<sub>0.1</sub>N/TiNの2層からなるバッファ層を用いたが、TiN薄膜1層だけからなるバッファ層としても構わない。この場合においてもバッファ層上に形成されるIr薄膜が同様にエピタキシャル成長することは、各薄膜の結晶性に関する分析結果（後述）を示す図2からも理解することができる。

【0029】ここで、上述の製造方法によって得られた薄膜キャパシタ10の各薄膜の結晶性についての分析結果について説明する。まず、Si基板上に形成したIr/Ti<sub>0.9</sub>Al<sub>0.1</sub>N/TiNおよびIr/TiNの2種類の薄膜積層体のXRD回折パターンを図2に示す。この図から明らかなように、いずれの薄膜積層体において、Si(001)上にTaN(002)(TiNまた\*

\*はTi<sub>0.9</sub>Al<sub>0.1</sub>N/TiN)およびIr(002)に起因するピークのみが検出されており、各薄膜が(001)に配向して形成されていることがわかる。

【0030】また、Ir薄膜の膜面内での配向性を確認するために極点図解析をおこなった。結果を図3に示す。図から理解できるように、4回対称のピークが得られており、Ir薄膜4がTi<sub>0.9</sub>Al<sub>0.1</sub>N/TiN/Si基板上にきれいにエピタキシャル成長していることが確認できる。

【0031】なお、従来技術との比較のために、本実施例のIr薄膜4に相当する部分をPtに置き換えた比較例を作成した。Pt薄膜部分以外の薄膜構成および成膜条件は、第1実施例のものと同一である。Pt薄膜の作成は、純度99.9%以上のPt金属ターゲットを用いたRFスパッタリング法により、RFパワー200W、ガス組成比Ar/O<sub>2</sub>=9/1、成膜時の真空度5×10<sup>-5</sup>Torr、成膜温度600℃の条件で成膜を行った。この比較例の薄膜積層体と第1実施例の薄膜積層体の結晶性の分析結果を以下の表2にまとめる。

【0032】

【表2】

	比較例	第1実施例
薄膜材料	Pt	Ir
膜形成速度 (nm/min)	20	1.5
Ti <sub>0.9</sub> Al <sub>0.1</sub> N/TiN/Si上の配向性	エピタキシャル成長	エピタキシャル成長
(002)ピークの半値幅 (°)	2.59	2.19
表面平均粗さ (nm)	1.448	0.500
表面形態	網目状	緻密

【0033】上述の表2から理解されるように、本実施例のIr薄膜のほうが比較例のPt薄膜に比べて、結晶性が良好であり((002)ピークの半値幅が小さい点から)かつ表面がより平坦で緻密な膜質の導体薄膜が得られることがわかる。なお、(002)ピークの半値幅はXRDロックアップカーブから求めた。また表面平均粗さは、AFMを用いて薄膜表面5μm×5μmの面積について測定したものである。また、この比較例のPt薄膜とIr薄膜のそれぞれの表面AFM像を図4に示す。この図からも確認できるように、比較例のものが網目状で比較的粗であるのに対し、本実施例のものは表面が平坦でより緻密であることがわかる。

【0034】なお、上述の実施例ではSi(100)基板を使用した。これに限らずSi(111)、Si(110)等のシリコン基板を使用しても構わない。

【0035】また本実施例においては、エピタキシャル成長させたIr薄膜を薄膜キャパシタ10の下層電極として用いた例を説明したが、エピタキシャルIr/Ti<sub>0.9</sub>Al<sub>0.1</sub>N/TiN/Si基板と言う構造を有する薄膜積層体は、薄膜キャパシタ以外にも適用することが可能であり、例えば、DRAM等の電極膜等の用途に使用することも可能である。

※[第2実施例] 本発明の第2実施例は、第1実施例のIr薄膜4に相当する部分をRh薄膜に置き換えた点が特徴である。Rh電極の成膜にあたっては純度99.9%以上のRh金属ターゲットを使用した。その他の薄膜の構成および成膜条件については、第1実施例の薄膜キャパシタ10のそれと変わるところはないのでその説明を省略する。

【0036】Ir電極4をRh電極に置き換えた本実施例においても、XRD回折による分析の結果、Rh薄膜がエピタキシャル成長していることが確認された。また、本実施例のRh薄膜の表面状態をAFMにより観察したところ、その表面は平坦でかつ緻密な膜となっていることが確認された。

【0037】

【発明の効果】上述の説明からも明らかなように、Si基板上にバッファ層としてエピタキシャルTiN層またはTi<sub>1-x</sub>Al<sub>x</sub>N/TiN層を介在させ、該バッファ層上に面心立方構造を有する白金族元素を形成した薄膜積層構造を採用することにより、Si基板上に結晶性の良好な強誘電体薄膜を形成させうる機能を有するエピタキシャル導体薄膜を形成することができる。また、このエピタキシャル導体薄膜（具体的にはIr、Rh等の白金

族元素)上に、導体薄膜の良好な結晶性を活かして、1軸以上の高い配向性を有する強誘電体等の機能性薄膜を形成することが可能になる。

【0038】また、Ir、Rhは強誘電体薄膜の組成元素やSi基板との間で拡散や反応を起こしにくい。従って、例えばSi基板上に強誘電体を用いた薄膜キャパシタを形成する場合に、エピタキシャルIr薄膜を薄膜キャパシタの下部電極として用いれば、Si基板上に形成されたFET等の半導体素子の特性には影響を与えず、かつ結晶性の良好な(すなわち化合物を形成して結晶性を劣化させることなく)強誘電体薄膜を形成することが可能になる。

【0039】これらにより、Si基板上に強誘電体薄膜等の機能性薄膜をエピタキシャル成長させることが可能になり、DRAMやFeRAM等のみならず、焦電素子、マイクロアクチュエータ、薄膜コンデンサや、その他の小型圧電素子への応用適用が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の薄膜キャパシタを示す断面図である。

【図2】 第1実施例で得られた薄膜積層体のXRD回折結果である。

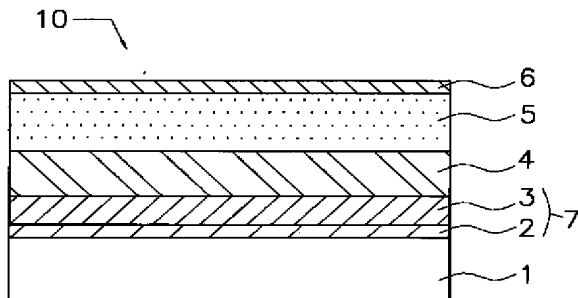
【図3】 第1実施例のIr薄膜の膜面内での配向性を示す極点図解析結果である。

【図4】 比較例および第1実施例のそれぞれの導体薄膜の表面を示すAFM像である。

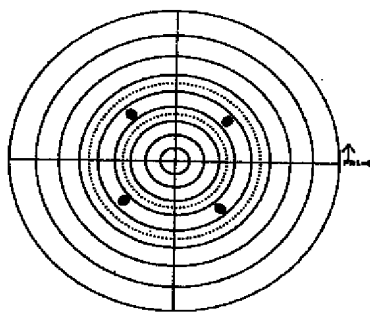
【符号の説明】

- 1 . . . Si基板
- 2 . . . TiN薄膜
- 3 . . .  $\text{Ti}_{0.9}\text{Al}_{0.1}\text{N}$ 薄膜
- 4 . . . Ir薄膜
- 5 . . . PZT薄膜
- 6 . . . Pt薄膜
- 7 . . . バッファ層

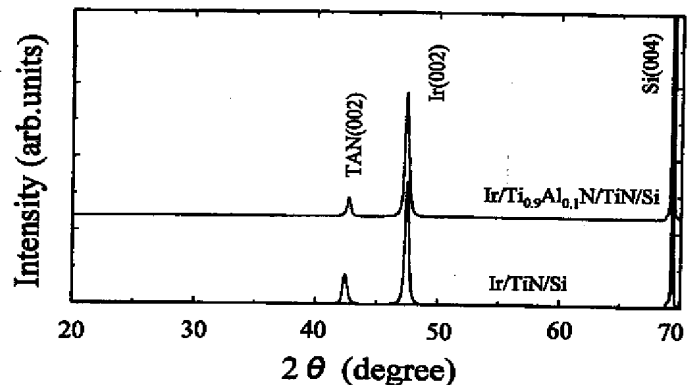
【図1】



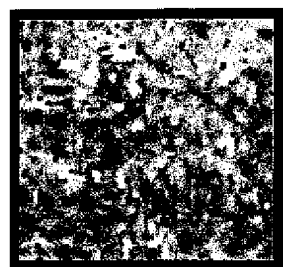
【図3】



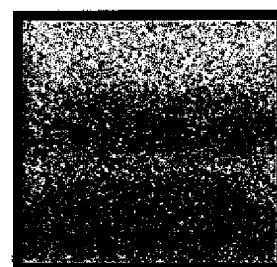
【図2】



【図4】



Pt/ $\text{Ti}_{0.9}\text{Al}_{0.1}\text{N}$   
(比較例)



Ir/ $\text{Ti}_{0.9}\text{Al}_{0.1}\text{N}$   
(本実施例)

## フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H O 1 G 4/12	4 0 0	H O 1 L 21/285	3 0 1 Z 5 F 0 8 3
H O 1 L 21/285		27/10	4 5 1
	3 0 1	37/02	
27/10	4 5 1	H O 1 G 4/06	1 0 2
27/108		H O 1 L 27/10	6 5 1
21/8242			
37/02			

F ターム(参考) 4G077 AA03 BA01 DA01 EF02  
 4M104 AA01 BB04 BB37 DD28 DD34  
 FF31 GG16  
 5E001 AB06 AC01 AC10 AE01 AE02  
 AE03 AH03 AJ01 AJ02  
 5E082 AB01 EE05 EE11 EE23 EE37  
 EE50 FF05 FG03 FG26 FG42  
 MM09 PP03 PP04 PP09 PP10  
 5F038 AC05 AC15 AC18 DF05 EZ14  
 EZ20  
 5F083 AD00 FR02 JA13 JA14 JA15  
 JA38 JA40 PR05 PR22 PR25

DERWENT-ACC-NO: 2001-348623

DERWENT-WEEK: 200406

*COPYRIGHT 2008 DERWENT INFORMATION LTD*

TITLE: Thin film laminate for thin film capacitor, has buffer layer and conductor thin film containing platinum group metals of face centered cubic structure, sequentially formed by epitaxial growth on silicon substrate

INVENTOR: RI K; TANAKA K

PATENT-ASSIGNEE: MURATA MFG CO LTD[MURA]

PRIORITY-DATA: 1999JP-258901 (September 13, 1999)

## PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
JP 2001085624 A	March 30, 2001	JA
KR 2001030363 A	April 16, 2001	KO
JP 3435633 B2	August 11, 2003	JA
KR 390286 B	July 4, 2003	KO

## APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2001085624A	N/A	1999JP-258901	September 13, 1999
JP 3435633B2	N/A	1999JP-258901	September 13, 1999
KR2001030363A	N/A	2000KR-053757	September 9, 2000
KR 390286B	Previous Publ	2000KR-053757	September 9, 2000

## INT-CL-CURRENT:

TYPE	IPC DATE
CIPP	H01G4/12 20060101
CIPS	C30B29/02 20060101
CIPS	H01G4/33 20060101
CIPS	H01L21/28 20060101
CIPS	H01L21/285 20060101
CIPS	H01L21/822 20060101
CIPS	H01L21/8242 20060101
CIPS	H01L21/8246 20060101
CIPS	H01L27/04 20060101
CIPS	H01L27/10 20060101
CIPS	H01L27/105 20060101
CIPS	H01L27/108 20060101
CIPS	H01L37/02 20060101

ABSTRACTED-PUB-NO: JP 2001085624 A

## BASIC-ABSTRACT:

NOVELTY - A thin film laminate comprises a silicon substrate (1) over which a buffer layer (7) and conductor thin film consisting of platinum group metals having face centered cubic structure, are sequentially formed by epitaxial growth.

DESCRIPTION - INDEPENDENT CLAIMS are also included for the following: (i) Thin film capacitor which comprises dielectric thin film and upper electrode sequentially formed on conductor thin film; (ii) Manufacture of thin film laminate which involves performing epitaxial growth of buffer layer and conductor thin film sequentially on silicon substrate.

USE - For thin film capacitor (claimed), pyroelectric element, micro actuator and piezo electric elements.

ADVANTAGE - The conductor thin film with favorable crystallinity is formed epitaxially on the silicon substrate. Characteristics of semiconductor device, is not affected. The epitaxial growth of functional thin film such as ferroelectric thin film is efficiently carried out on silicon substrate.

DESCRIPTION OF DRAWING(S) - The figure shows sectional drawing of thin film capacitor.

Silicon substrate (1)

Buffer layer (7)

EQUIVALENT-ABSTRACTS:

INORGANIC CHEMISTRY

Preferred Layer: The buffer layer is titanium nitride (TiN) layer, or  $Ti_{1-x}Al_xN$  layer formed on titanium nitride layer, where x is more than 0 to 0.4. Preferred Property: The buffer and platinum group conductor thin film layers are formed by 1-10 nm/min growth rate. The buffer layer has average surface roughness of 0.1-0.5 nm, and film thickness of 50-300 nm. The platinum group conductor thin film has average surface roughness of 0.1-1 nm and film thickness of 50-500 nm.

SPECIFIC COMPOUNDS

The platinum group metals is iridium or rhodium.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: THIN FILM LAMINATE CAPACITOR BUFFER LAYER  
CONDUCTOR CONTAIN PLATINUM GROUP METAL  
FACE CUBE STRUCTURE SEQUENCE FORMING  
EPITAXIAL GROWTH SILICON SUBSTRATE

DERWENT-CLASS: L03 U11 U12 U13 U14 V01

CPI-CODES: L03-B03;

EPI-CODES: U11-C05C3; U11-C05G1B; U11-C18B5; U12-B03B; U12-C02A1;  
U13-C04B1A; U14-A03B4;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: 2001-108149

Non-CPI Secondary Accession Numbers: 2001-252567